

31/

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-226456

(43)Date of publication of application : 22.08.1995

(51)Int.Cl.

H01L 23/12

H05K 1/11

H05K 1/18

H05K 3/46

(21)Application number : 06-086622

(71)Applicant : NIPPON MICRON KK

(22)Date of filing : 25.04.1994

(72)Inventor : KOMATSU TAKATSUGU
UENO YUTAKA

(30)Priority

Priority number : 05132280

Priority date : 23.04.1993

Priority country : JP

05220386

05.07.1993

JP

05339919

25.11.1993

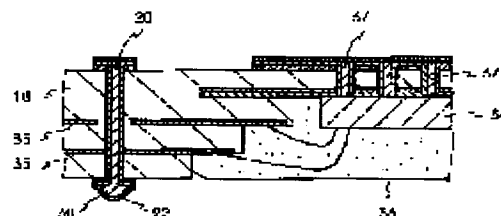
JP

(54) IC PACKAGE AND ITS MANUFACTURING METHOD

(57)Abstract:

PURPOSE: To provide an IC package capable of integrally forming a bump with a substrate, avoiding the breaking off of the bump, etc., as well as the electrical shortcircuit in the packaging time.

CONSTITUTION: Within the IC package wherein the surface packaging bump 30 of a substrate 10 is formed, a through hole formed by boring in the thickness direction of the substrate 10 is filled up with a conductive or electrically insulating paste 20 semispherically protruding from one end of the through hole to be set integrally with the paste 20 filled in the through hole forming a bump 30 thereby enabling a conductor plated layer 22 such as copper plating, etc., to be coat-formed on the surface of the semispherical bump 30.



LEGAL STATUS

[Date of request for examination]

13.03.2001

[Date of sending the examiner's decision of rejection]

06.04.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The through hole ****(ed) and formed in the thickness direction of said substrate in the IC package which formed the bump for surface mounts in the substrate is filled up with a conductive or electric insulating **-strike. it solidifies to the **-strike and one with which said **-strike projected in the semi-sphere configuration from the end of said through hole, and was filled up in said through hole, and a bump forms -- having -- this semi-sphere bump front face -- conductors, such as copper plating, -- the IC package characterized by carrying out covering formation of the plating layer.

[Claim 2] In the IC package which formed the bump for surface mounts in the substrate IC package characterized by carrying out solidification formation and growing into the *****-strike and one with which the hole ****(ed) and formed in the thickness direction of said substrate was filled up with the *****-strike, and said *****-strike projected in the semi-sphere configuration from the end of said hole, and was filled up in the aforementioned hole.

[Claim 3] The IC package according to claim 2 which is that in which a *****-strike has soldering nature.

[Claim 4] the semi-sphere bump front face formed of the *****-strike -- conductors, such as copper plating, -- the IC package according to claim 2 characterized by carrying out covering formation of the plating layer.

[Claim 5] The IC package according to claim 1 or 2 characterized by being the thing of the multichip type whose loading of two or more IC chips the substrate enabled.

[Claim 6] The IC package according to claim 1, 2, or 5 characterized by a substrate being a multilayer substrate which has two or more inner layer circuit patterns.

[Claim 7] The IC package according to claim 6 characterized by forming the terminal area of the circuit pattern linked to IC chip in multistage.

[Claim 8] Claims 1 and 2 characterized by the land of a major diameter being prepared in a semi-sphere bump's base by the bump, or an IC package given in 4 terms.

[Claim 9] The IC package according to claim 1, 2, 5, or 6 characterized by preparing thermal beer in the IC chip loading range of a substrate.

[Claim 10] the through hole ****(ed) by the substrate in the IC chip loading range of a substrate, or a hole -- the IC package according to claim 1, 2, 5, or 6 characterized by preparing the thermal beer with which it filled up with the same **-strike as the **-strike which forms said connection terminal inside.

[Claim 11] In the manufacture approach of the IC package which formed the bump for surface mounts in the substrate According to a bump's plane configuration location formed in said substrate, **** the hole for through hole formation in the thickness direction of a substrate, and it is filled up with a **-strike in the aforementioned hole. a **-strike is projected in a semi-sphere configuration from the end of said hole -- making -- a hole -- the manufacture approach of the IC package characterized by forming a bump by making one solidify a **-strike with an inner **-strike.

[Claim 12] In the manufacture approach of the IC package which formed the bump for surface mounts in the substrate The hole for through hole formation is ****(ed) to both sides in the thickness direction of the substrate which carried out covering formation of the copper foil. Give through-hole plating, etch one side of said substrate, and a land is formed according to said hole location. Fill up a through hole with a *****-strike and said *****-strike is made to project in a semi-sphere configuration from the end of said through hole. said *****-strike is solidified -- making -- a bump -- forming -- electrolysis plating -- giving -- said bump front face -- conductors, such as copper plating, -- the manufacture approach of the IC package characterized by preparing a plating layer, etching the substrate side of the

opposite side with said land forming face, and forming a predetermined circuit pattern.

[Claim 13] the nonelectrolytic plating after using the **strike which changes to said *****strike and is easy to deposit a nonelectrolytic plating coat in the manufacture approach of an IC package given in claim 12 term, forming a through hole and forming a bump -- giving -- said bump front face -- no electrolyzing -- a conductor -- a plating layer -- preparing -- subsequently -- electrolysis plating -- a conductor -- the manufacture approach of the IC package characterized by to thickness--attach a plating layer and to carry out it.

[Claim 14] In the manufacture approach of the IC package which formed the bump for surface mounts in the substrate The hole for through hole formation is ****(ed) to both sides in the thickness direction of the substrate which carried out covering formation of the copper foil. Give through-hole plating, etch both sides of said substrate, and a land and a circuit pattern are formed according to said hole location. Fill up said through hole with the **strike which is easy to deposit a nonelectrolytic plating coat, and said **strike is made to project in a semi-sphere configuration from the end of said through hole. said **strike is solidified -- making -- a bump -- forming -- nonelectrolytic plating -- said bump front face -- a conductor -- the manufacture approach of the IC package characterized by preparing a plating layer.

[Claim 15] In the manufacture approach of the IC package which formed the bump for surface mounts in the substrate The hole for through hole formation is ****(ed) to both sides in the thickness direction of the substrate which carried out covering formation of the copper foil. One side of said substrate is etched, and it doubles with said hole location, and is a land. It forms. It is filled up with a *****strike in the aforementioned hole, and said *****strike is made to project in a semi-sphere configuration from the end of said through hole. said *****strike is solidified -- making -- a bump -- forming -- electrolysis plating -- giving -- said bump front face -- a conductor -- the manufacture approach of the IC package which carries out covering formation of the plating layer, and is characterized by etching the substrate side of the opposite side with said land forming face, and forming a predetermined circuit pattern.

[Claim 16] In the manufacture approach of the IC package which formed the bump for surface mounts in the substrate The hole for through hole formation is ****(ed) to both sides in the thickness direction of the substrate which carried out covering formation of the copper foil. Etch both sides of said substrate and a land and a circuit pattern are formed according to said hole location. It is filled up with the *****strike which is easy to deposit a nonelectrolytic plating coat in the aforementioned hole, and said *****strike is made to project in a semi-sphere configuration from the end of a through hole. said *****strike is solidified -- making -- a bump -- forming -- nonelectrolytic plating -- said bump front face -- a conductor -- the manufacture approach of the IC package characterized by thickness--attaching a plating layer and carrying out it.

[Claim 17] In the manufacture approach of the IC package which formed the bump for surface mounts in the substrate The hole for through hole formation is ****(ed) to both sides in the thickness direction of the substrate which carried out covering formation of the copper foil. Give through-hole plating, etch both sides of said substrate, and a land and a circuit pattern are formed according to said hole location. The manufacture approach of the IC package characterized by filling up said through hole with the *****strike which has soldering nature, making said *****strike project in a semi-sphere configuration from the end of a through hole, solidifying said *****strike, and forming a bump.

[Claim 18] In the manufacture approach of the IC package which formed the bump for surface mounts in the substrate While ****(ing) the hole for connection terminal formation to both sides in the thickness direction of the substrate which carried out covering formation of the copper foil, the hole for thermal beer formation is ****(ed) in the loading range of IC chip. The manufacture approach of the IC package according to claim 11, 12, 13, 14, 15, 16, or 17 characterized by filling up the hole for said connection terminal formation, and the hole for said thermal beer formation with a thermally conductive good **strike, and forming thermal beer with a connection terminal.

[Claim 19] The manufacture approach of the IC package according to claim 11, 12, 13, 14, 15, 16, or 17 characterized by performing protection plating, such as nickel plating, silver plating, and gilding, to a bump.

[Translation done.]

*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the IC package which prepared the semi-sphere bump in the detail as a connection terminal at the substrate, and its manufacture approach more about an IC package and its manufacture approach.

[0002]

[Description of the Prior Art] In recent years, moreover, the cheap reliable IC package is called for by small and many pins with rapid improvement in the speed of IC, and advanced features. On the other hand, various packages, such as PGA, TAB, QFP, and BGA, have been developed. However, the conventional IC package had a problem in respect of a manufacturing cost or the formation of many pins.

[0003]

[Problem(s) to be Solved by the Invention] For example, although the formation of many pins is comparatively easy for said PGA, since it needs to stand a pin to a substrate, it has the problem that a manufacturing cost is applied. Moreover, although TAB is advantageous in manufacturing cost from the ability to carry out inner bonding by package bonding, since it is connectable only on the periphery edge, the circuit pattern of a connection must be formed minutely. Moreover, there is a problem of needing special equipment in the case of bonding. Moreover, since the installation location of a connection terminal is limited only to the periphery section of a package, when making it many pins, a means only has enlarging the dimension of a package or narrowing the pitch of a pin, and QFP has the problem that many pin-ization is restrained.

[0004] Moreover, although many pin-ization could be suitably attained from BGA using a pewter ball as a connection terminal, and the whole substrate side being made to the installation tooth space of a connection terminal, there was a problem that a pewter ball had to be attached after carrying out a resin seal, IC bonding and since there are there being a possibility that a pewter ball may crush and short-circuit at the time of mounting, and a possibility that a pewter ball may be missing at the time of handling.

[0005] Although the IC package of this application forms a bump in a substrate, and grows into it like a BGA package, and the above-mentioned pewter ball is attached as an approach of forming a bump in a substrate, there is also a method of attaching the plastic bowl which performed others and plating. However, the package furnished with the ball formed with another object like before had that the bonding strength of a ball becomes inadequate, and the problem that handling was complicated since very small components are dealt with.

[0006] Moreover, calorific value is large with advanced features with the formation of many pins of the above [the latest IC], and a miniaturization. Therefore, the heat leakage nature of an IC package has been a problem. There are an approach of attaching the fin for heat dissipation as an approach of raising the heat leakage nature of an IC package, and a method of preparing thermal beer. Among these, although there is an advantage that the method of attaching a radiation fin can acquire the heat dissipation effectiveness comparatively easily, and the still higher heat dissipation effectiveness can be acquired by using together with ventilation equipment, suitable magnitude is required for a radiation fin, and, for this reason, the miniaturization of an IC package and thin shape-ization are checked. Moreover, when a cooling system is formed as another components, there is a problem that the miniaturization of a device becomes difficult. Moreover, when thermal beer was prepared, by the conventional approach, it was hard to prepare directly under IC chip, therefore there was a problem that effective heat leakage was not made.

[0007] Then, a bump is going to be formed in one to a substrate, and the place which this invention is made that these troubles should be canceled and is made into that purpose can prevent that a bump is missing

from a substrate, and tends to offer the manufacture approach of the IC package which can manufacture suitably the IC package which can prevent the electric short circuit at the time of mounting, and can be certainly connected with a mounting substrate, and this IC package.

[0008]

[Means for Solving the Problem] This invention is equipped with the next configuration in order to attain the above-mentioned purpose. Namely, it sets to the IC package which formed the bump for surface mounts in the substrate. The through hole ****(ed) and formed in the thickness direction of said substrate is filled up with a conductive or electric insulating **-strike. it solidifies to the **-strike and one with which said **-strike projected in the semi-sphere configuration from the end of said through hole, and was filled up in said through hole, and a bump forms -- having -- this semi-sphere bump front face -- conductors, such as copper plating, -- it is characterized by carrying out covering formation of the plating layer. Moreover, it is characterized by carrying out solidification formation and growing into the ****-strike and one with which the hole ****(ed) and formed in the thickness direction of said substrate was filled up with the ****-strike, and said ****-strike projected in the semi-sphere configuration from the end of said hole, and was filled up in the aforementioned hole. moreover, the case where it is that in which said ****-strike has soldering nature -- a bump -- a conductor -- it is desirable at the point which can be mounted by soldering as it is, without forming a plating layer. moreover, the semi-sphere bump front face formed of said ****-strike -- conductors, such as copper plating, -- it is characterized by carrying out covering formation of the plating layer. Moreover, said substrate is characterized by being the thing of the multichip type whose loading of two or more IC chips was enabled. Moreover, various things for which the multilayer substrate which has two or more inner layer circuit patterns is used for said substrate are desirable at the point which can form the product of an application. Moreover, it is desirable that the terminal area of the circuit pattern linked to IC chip was formed in multistage at the point which can perform multi-pin formation easily. Moreover, it is characterized by the land of a major diameter being prepared in a semi-sphere bump's base by the bump. Moreover, that by which thermal beer was prepared in the IC chip loading range of said substrate is desirable at the point which can raise the heat leakage nature of an IC package effectively. moreover, the through hole ****(ed) by the substrate in the IC chip loading range of said substrate or a hole -- it is characterized by preparing the thermal beer with which it filled up with the same **-strike as the **-strike which forms said connection terminal inside.

[0009] Moreover, it sets to the manufacture approach of the IC package which formed the bump for surface mounts in the substrate. According to a bump's plane configuration location formed in said substrate, **** the hole for through hole formation in the thickness direction of a substrate, and it is filled up with a **-strike in the aforementioned hole. a **-strike is projected in a semi-sphere configuration from the end of said hole -- making -- a hole -- it is characterized by forming a bump by making one solidify a **-strike with an inner **-strike. Moreover, the hole for through hole formation is ****(ed) to both sides in the thickness direction of the substrate which carried out covering formation of the copper foil. Give through-hole plating, etch one side of said substrate, and a land is formed according to said hole location. Fill up a through hole with a ****-strike and said ****-strike is made to project in a semi-sphere configuration from the end of said through hole. said ****-strike is solidified -- making -- a bump -- forming -- electrolysis plating -- giving -- said bump front face -- conductors, such as copper plating, -- a plating layer is prepared and it is characterized by etching the substrate side of the opposite side and forming a predetermined circuit pattern with said land forming face. moreover, the nonelectrolytic plating after using the **-strike which changes to said ****-strike and is easy to deposit a nonelectrolytic plating coat in the manufacture approach of said IC package, forming a through hole and forming a bump -- giving -- said bump front face -- no electrolyzing -- a conductor -- a plating layer -- preparing -- subsequently -- electrolysis plating -- a conductor -- it is characterized by thickness-attaching a plating layer and carrying out it. Moreover, it sets to the manufacture approach of the IC package which formed the bump for surface mounts in the substrate. The hole for through hole formation is ****(ed) to both sides in the thickness direction of the substrate which carried out covering formation of the copper foil. Give through-hole plating, etch both sides of said substrate, and a land and a circuit pattern are formed according to said hole location. fill up said through hole with the **-strike which is easy to deposit a nonelectrolytic plating coat, said **-strike is made to project in a semi-sphere configuration from the end of said through hole, and said **-strike is solidified -- making -- a bump -- forming -- nonelectrolytic plating -- said bump front face -- a conductor -- it is characterized by preparing a plating layer. Moreover, the hole for through hole formation is ****(ed) to both sides in the thickness direction of the substrate which carried out covering formation of the copper foil. Etch one side

of said substrate and a land is formed according to said hole location. It is filled up with a *****-strike in the aforementioned hole, and said *****-strike is made to project in a semi-sphere configuration from the end of said through hole. said *****-strike is solidified -- making -- a bump -- forming -- electrolysis plating -- giving -- said bump front face -- a conductor -- covering formation of the plating layer is carried out, and it is characterized by etching the substrate side of the opposite side and forming a predetermined circuit pattern with said land forming face. Moreover, the hole for through hole formation is ****(ed) to both sides in the thickness direction of the substrate which carried out covering formation of the copper foil. Etch both sides of said substrate and a land and a circuit pattern are formed according to said hole location. It is filled up with the *****-strike which is easy to deposit a nonelectrolytic plating coat in the aforementioned hole, and said *****-strike is made to project in a semi-sphere configuration from the end of a through hole. said *****-strike is solidified -- making -- a bump -- forming -- nonelectrolytic plating -- said bump front face -- a conductor -- it is characterized by thickness-attaching a plating layer and carrying out it. Moreover, the hole for through hole formation is ****(ed) to both sides in the thickness direction of the substrate which carried out covering formation of the copper foil. Give through-hole plating, etch both sides of said substrate, and a land and a circuit pattern are formed according to said hole location. It is characterized by filling up said through hole with the *****-strike which has soldering nature, making said *****-strike project in a semi-sphere configuration from the end of a through hole, solidifying said *****-strike, and forming a bump. Moreover, it is characterized by ****(ing) the hole for thermal beer formation in the loading range of IC chip, while ****(ing) the hole for connection terminal formation to both sides in the thickness direction of the substrate which carried out covering formation of the copper foil, filling up the hole for said connection terminal formation, and the hole for said thermal beer formation with a thermally conductive good **-strike, and forming thermal beer with a connection terminal. Moreover, it is characterized by performing protection plating, such as nickel plating, silver plating, and gilding, to said bump.

[0010]

[Summary of the Invention] The IC package concerning this invention is the product which formed the semi-sphere bump in the substrate side, and made the surface mount possible, and it is characterized by having made the semi-sphere project and forming from having formed the bump in a substrate and one, and a substrate side. the hole for [in the manufacture approach of the IC package concerning this invention] through hole formation to a substrate -- opening -- a hole -- it is characterized by forming a semi-sphere bump by being filled up with a **-strike inside. In addition, the **-strike to be used may have conductivity and may be an electric insulating thing.

[0011] a bump is made to project in a semi-sphere configuration from a substrate side -- being alike -- the inside of the hole prepared in the substrate with screen printing etc., or a through hole (although the vocabulary of a through hole has an electric flow, it is used by mind) -- a **-strike -- being filled up -- the end of a through hole to a hole or a **-strike -- constant-rate push **** -- it is made like and forms in a semi-sphere according to the self-weight of a **-strike, and an operation of surface tension.

[0012] thus, a hole -- when it is filled up with a **-strike inside and makes it a semi-sphere, the viscosity and the CHIKUSO kinky thread tee of a **-strike to be used serve as an important element. For example, if a CHIKUSO kinky thread tee is too expensive, from a through hole, a **-strike sharpens and it comes to project, and if a CHIKUSO kinky thread tee is too low, a **-strike will flow and start by its side and a configuration will no longer be formed. Thus, as for the bump who forms, each magnitude and height must become homogeneity. It is because positive connection becomes impossible in case it is mounting when a bump's height dimension etc. is uneven. It connects with the circuit pattern formed on the substrate side, and a semi-sphere bump and a circuit pattern flow through the other end of the through hole which formed the bump as mentioned above electrically in a through hole part, and the surface mount of it becomes possible.

[0013] There is the approach of filling up with and forming a **-strike as it is, without giving the approach filled up with a **-strike after preparing the hole for through hole formation in a substrate and giving through-hole plating as an approach of forming a semi-sphere bump, and through-hole plating after forming the hole for through hole formation in a substrate. When through-hole plating is given to the adhesion of the inside of the hole for through hole formation and a **-strike becoming a problem when not giving through-hole plating, there is an advantage that the adhesion of the inside of a hole and a plating layer becomes good, and the sealing performance of a package improves. Moreover, when through-hole plating is given, there is an advantage that an electric flow in a through hole part becomes good. In addition, since it flows electrically in the plating layer of the inside of a through hole when giving through-hole plating, it is possible to use an electric insulating **-strike instead of a *****-strike. The **-strike in this case will

constitute the core section holding a semi-sphere bump's configuration.

[0014] after forming a semi-sphere bump — the front face of a bump's semi-sphere section — conductors, such as a copper-plating layer, — it is good to form a plating layer. this conductor — a plating layer has the operation which reinforces a bump, enabling soldering in the case of mounting, and an operation of raising the sealing performance of a through hole and preventing moisture absorption of an IC package.

[0015] the above-mentioned conductor — a plating layer can be formed with electrolysis plating or nonelectrolytic plating. the production process which forms a circuit pattern etc. since it is necessary to take a flow electrically with a bump to perform electrolysis plating — it suits, and it is necessary to serve, to come out and to choose electrolysis plating and nonelectrolytic plating What is necessary is just to use the **—strike which is easy to deposit a nonelectrolytic plating coat in that case, since a plating coat must be made to be formed only in a need part alternatively when using nonelectrolytic plating. using the **—strike which is easy to deposit a nonelectrolytic plating coat — a need part — alternative — a conductor — a plating coat can be formed. Nonelectrolytic plating can be used also as substrate plating which takes the electric flow for performing electrolysis plating.

[0016] As a **—strike for semi-sphere bump formation used by this invention, although it has above-mentioned conductivity or above-mentioned electric insulation, the **—strike which equipped others with soldering nature further can be used. the conductors above on a semi-sphere bump's front face when using the **—strike which has soldering nature — there is an advantage that it can mount by soldering as it is, without preparing a plating layer. Furthermore, by using the **—strike which has thermal conductivity good as a **—strike for semi-sphere bump formation, the thermal beer for heat leakage is formed in a substrate, and the heat leakage nature of a package can be raised.

[0017] According to the manufacture approach of the IC package concerning this invention, since the hole for through hole formation prepared in the substrate is filled up with a **—strike and a bump is formed, unlike the approach of joining the pewter ball formed with another object like before to a substrate, a bump can form in a substrate and one, and a bump can prevent that it is missing from a substrate. Therefore, like before, IC bonding or after carrying out a resin seal, it is not necessary to take the production process of joining a pewter ball, and can provide as a finished product of an IC package. This enables it to make manufacture of a semiconductor device easy.

[0018] Moreover, since a connection terminal is formed as a semi-sphere bump, generating of the electric short circuit at the time of mounting can be prevented effectively. Moreover, since the bump is formed of the core which solidified the **—strike to the semi-sphere, she is firm, and in case it is mounting, it can prevent that a bump is crushed.

[0019] As a substrate ingredient of the IC package concerning this invention, the ingredient which has electric insulation can apply widely. What generally mixed the heat-resistant glass epoxy which denatured glass epoxy or BT resin, polyimide, or these and an epoxy resin is suitable. Moreover, it is also possible to use a ceramic substrate instead of a plastic plate. Moreover, not only a monolayer but the substrate which constitutes the IC package concerning this invention, and the multilayer substrate which has two or more circuit pattern layers can be used. Moreover, it is applicable also to the multichip type substrate carrying two or more IC chips. Moreover, it is applicable also about the substrate equipped with a heat spreader, or the substrate used combining a tape career.

[0020]

[Example] Hereafter, the suitable example about the IC package concerning this invention and its manufacture approach is explained with an accompanying drawing.

(Example 1) Drawing 1 – drawing 6 show the 1st example of the manufacture approach of the IC package concerning this invention. This example is an example which forms a semi-sphere bump using a **—strike. As a **—strike, CLX-204 (Tamura make) and MDP-800,900 (Mitsui Toatsu Chemicals, Inc. make) can be used, for example.

[0021] **— Drawing 1 shows the condition of having performed hole dawn processing to the substrate 10 which carried out covering formation of the copper foil 12, and having formed the hole 14 for through hole formation in both sides first. A hole 14 carries out predetermined number formation according to the plane configuration of the bump who prepares in a substrate 10. By a diagram, only one hole 14 is shown on explanation.

[0022] **— Next, while forming the plating layer 16 in the internal surface of a hole 14 and forming a through hole 15 by through-hole plating, form the plating layer 16 in copper foil 12 front face (drawing 2). This plating layer 16 is for making it flow through the circuit pattern formed in the top face of a substrate 10, and the bump who forms in the inferior surface of tongue of a substrate 10 electrically. After through-hole

plating performs non-electrolytic copper plating, it performs electrolytic copper plating and performs it. [0023] ** Next, perform one side etching to the bump forming face of a substrate 10, and form a land 18 according to the location of each through hole 15. A land 18 makes a flat-surface configuration circular, and forms it in a major diameter a little rather than a bump's path size which should be formed (drawing 3).

[0024] ** next, the lower limit section of a through hole 15 to the *****-strike 20 -- constant-rate push **** -- it is made like and filled up with the *****-strike 20 in a through hole 15 from the upper part of a substrate 10. Drawing 4 shows the condition of having been filled up with the *****-strike 20 in the through hole 15. The *****-strike 20 extruded from the lower limit of a through hole 15 projects to the land 18 down side according to an operation of a self-weight and surface tension at a semi-sphere. After being filled up with the *****-strike 20, it heats, the *****-strike 20 is solidified and semi-sphere section 20a is formed in the inferior surface of tongue of a substrate 10.

[0025] ** Subsequently, carry out grinding of the end face of the *****-strike 20 of the upper part of a through hole 15, and it carries out flattening. Next, electrolytic copper plating is performed and the copper-plating layer 22 is formed in the external surface of semi-sphere section 20a of the *****-strike 20 and the exposure of the *****-strike 20 of substrate 10 top face, and the front face of the plating layer 16 (drawing 5).

[0026] ** Next, perform one side etching to the conductor layer prepared in the top face of a substrate 10, and form a circuit pattern 24. A circuit pattern 24 is formed in the top face of a substrate 10 of this, and the bump of circuit pattern 24 and substrate 10 inferior surface of tongue flows electrically by it.

[0027] ** Drawing 6 shows the condition of having formed the protection plating 26, such as nickel plating and gilding, in the front face of a bump and a circuit pattern 24, after the above-mentioned process. After this, an IC package performs appearance processing and let it be a product.

[0028] When the IC package of this example filled up with and formed the *****-strike 20 in the through hole 15 unlike the product which carried out bump formation using the conventional pewter ball etc., the point that a substrate 10 and a semi-sphere bump are formed in one is the description. Although the copper-plating layer 22 was formed in the external surface of semi-sphere section 20a of the *****-strike 20 in the example, this copper-plating layer 22 has an operation of sealing obtaining the soldering nature at the time of the operation and mounting which reinforce a semi-sphere bump, and a through hole 15, and raising the sealing performance of an IC package.

[0029] A land 18 is formed in a major diameter rather than semi-sphere section 20a, and it was made for the copper-plating layer 22 to become a level difference configuration in the example in a bump's base location. Thus, it is more effective in reinforcement of a semi-sphere bump to make it a level difference configuration. In addition, drawing 10 is the example created so that a level difference might not be formed in a bump's base by making a bump's path and the path of a land 18 into the same size.

[0030] although electrolytic copper plating was performed and the copper-plating layer 22 was formed in the above-mentioned example -- everything but copper plating -- other conductors, such as nickel plating, silver plating, and gilding, -- a plating layer the same or of a different kind can also be formed in two or more layers possible [also using plating].

[0031] In addition, although the *****-strike was used as a **-strike filled up with the above-mentioned example into a through hole 15, the **-strike which has the property to be easy to deposit non-electrolytic copper with conductivity may be used. Also when using this **-strike, it is based on the same process as the above-mentioned example. However, in case a copper-plating layer is formed in a bump in this case, after performing non-electrolytic copper plating first using the property of the **-strike which is easy to deposit non-electrolytic copper and forming the substrate layer of electrolytic copper plating, with electrolytic copper plating, a copper-plating layer is thickness-attached and is carried out. Even if this approach is a *****-strike, when it is said that it is hard to form a copper-plating layer, it has the advantage that a copper-plating layer can carry out covering formation of the direction in which non-electrolytic copper was deposited and the copper-plating layer was prepared certainly. In addition, what is necessary is to be able to use not only copper plating but nonelectrolytic plating, such as nickel plating and silver plating, as nonelectrolytic plating, and just to choose the ingredient which is easy to deposit these nonelectrolytic plating coat as a **-strike which forms a bump.

[0032] The sectional side elevation of the IC package by which drawing 7 formed the semi-sphere bump 30 in the substrate 10, and drawing 8 show a bottom view. The example of illustration is the product of a cavity down format, forms the loading hole 32 which carries IC chip in the inferior-surface-of-tongue center section of a substrate 10, and forms the semi-sphere bump 30 in the perimeter of the loading hole 32.

[0033] Drawing 9 shows the semiconductor device which carried the IC chip 34 in the IC package in which the semi-sphere bump 30 was formed. This semiconductor device is constituted by the multilayer substrate with which a substrate 10 has two or more inner layer circuit patterns 35. In the IC package of the surface mount mold formed with a plastic plate, the case where carry out the laminating of the substrate which has two or more inner layer circuit patterns in this way, and it is formed is common. Thus, as well as the above-mentioned example when using the substrate formed by the layered product, a through hole can be established in a substrate, and an IC package can be manufactured by filling up a through hole with the *****-strike 20 and forming the semi-sphere bump 30 in it. In the example of this IC package, the terminal area of the circuit pattern connected with IC chip by wirebonding is formed in multistage. Thus, many pin-ization can be attained by forming in multistage.

[0034] It connects by wirebonding etc., and the inner layer circuit pattern 35 and the IC chip 34 carry out the resin seal of the IC chip 34, and let them be a semiconductor device. 36 is closure resin. In the example of illustration, the through hole was established also in the base of a loading hole, it was filled up with the *****-strike 20 and thermal beer was prepared.

[0035] (Example 2) Although the semi-sphere bump was formed in the above-mentioned example using the *****-strike, this example is the approach of manufacturing non-electrolytic copper using the *****-strike which is easy to deposit. In addition, the **-strike which mixed palladium, copper, etc. can be used as a *****-strike which is easy to deposit non-electrolytic copper. The manufacture approach of the IC package in this example is explained according to drawing 11 - drawing 14 .

[0036] ** First, **** the hole for through hole formation to both sides at the substrate which carried out covering formation of the copper foil, and give through-hole plating (drawing 11).

** Next, perform double-sided etching to a substrate 10, and form a land 42 in one field of a substrate 10 in the field of a circuit pattern 40 and another side (drawing 12).

** Next, fill up with the *****-strike 44 the hole for through hole formation which prepared non-electrolytic copper in the substrate 10 by the same approach as an example 1 using the *****-strike 44 which is easy to deposit, and form semi-sphere section 44a in a land 42 side (drawing 13).

[0037] ** Next, perform non-electrolytic copper plating and form the copper-plating layer 46 in the external surface of semi-sphere section 44a and a circuit pattern 40 (drawing 14). It can deposit, and since the *****-strike 44 tends to deposit non-electrolytic copper plating, as shown in drawing, only into a bump and circuit pattern 40 part, alternatively, it can cover non-electrolytic copper with the copper-plating layer 46.

** Next, perform protection plating, such as nickel plating and gilding, to the external surface of the copper-plating layer 46, and consider as a product.

[0038] In this example, the copper-plating layer 46 can be suitably formed with non-electrolytic copper plating by using *****-SU 44 which is easy to deposit non-electrolytic copper. In this case, only with non-electrolytic copper plating, the copper-plating layer 46 is thickness-attached and is carried out. Like this example, after forming a circuit pattern 40 beforehand, in the case of the approach of preparing a plating coat, nonelectrolytic plating is suitable. In addition, as nonelectrolytic plating, not only copper plating but nonelectrolytic plating other than this can be used. In that case, a **-strike should just use what is easy to deposit a nonelectrolytic plating coat.

[0039] In the case of this example, it differs in an example 1, and it has the advantage that a circuit pattern 40 and a land 42 can form at 1 time of an etching process. In addition, especially conductivity is not required, but even if it is an electric insulating thing, it can be used for the *****-strike which is easy to deposit the non-electrolytic copper used by this example.

[0040] (Example 3) Although through-hole plating is given in each above-mentioned example after each prepares the hole for through hole formation in a substrate, this example is the approach of omitting and manufacturing through-hole plating. The manufacture approach of this example is shown in drawing 15 - drawing 18 .

[0041] ** First, form the hole 14 for through hole formation in the substrate 10 which carried out covering formation of the copper foil 12, and form a land 18 in both sides by one side etching at the bump forming face of a substrate 10 (drawing 15).

** Next, fill up a hole 14 with the *****-strike 20 and form semi-sphere section 20a (drawing 16).

** Next, perform electrolytic copper plating and form the copper-plating layer 22 in the front face of semi-sphere section 20a, and the front face of copper foil 12 (drawing 17).

** Next, carry out one side etching of the plating layer of the top face of a substrate 10, and form a circuit pattern 40 (drawing 18).

[0042] In this way, the IC package which has a semi-sphere bump, without giving through-hole plating is

obtained. A substrate and a semi-sphere bump are really formed and this IC package also changes. A semi-sphere bump and the circuit pattern 40 of the top face of a substrate 10 flow electrically through the *****-strike 20 of a through hole 15.

[0043] (Example 4) They are other examples which omit and manufacture through-hole plating. In this example, after *****(ing) the hole for through hole formation to the substrate which carried out covering formation of the ** copper foil, a land and a circuit pattern are formed by double-sided etching.

** Next, it is filled up with the *****-strike which has conductivity in the hole for through hole formation, and is easy to deposit non-electrolytic copper, and form a bump.

** Next, manufacture by performing non-electrolytic copper plating and carrying out covering formation of the copper-plating layer alternatively to a bump and a circuit pattern.

[0044] Although non-electrolytic copper plating was used in this example, other nonelectrolytic plating can be used by using the *****-strike which is easy to deposit not only non-electrolytic copper plating but a nonelectrolytic plating coat. By the manufacture approach of the above-mentioned example 3 and an example 4, since through-hole plating is omitted, there is an advantage that a production process can be simplified. By covering a bump with a copper-plating layer like the case where the IC package obtained according to these examples is also depended on a previous example, a bump can be reinforced and soldering nature and the sealing performance of a through hole can be acquired. In addition, although a bump and a circuit pattern are electrically connected by the *****-strike with which the through hole was filled up when based on these examples 3 and 4, a *****-strike has the disadvantage that electric resistance is strong compared with the plating layer by through-hole plating.

[0045] (Example 5) The example which uses the *****-strike which can be soldered is shown. In this example, after *****(ing) the hole for through hole formation to ** both sides at the substrate which carried out covering formation of the copper foil and giving through-hole plating, double-sided etching is performed to a substrate and a land and a circuit pattern are formed.

** Next, fill up a through hole with the *****-strike which has soldering nature, form a semi-sphere bump, and consider as an IC package.

[0046] The configuration of the IC package obtained by drawing 19 by the approach of this example is shown. It fills up with the *****-strike 50 which has conductivity and soldering nature in a through hole, and a bump's semi-sphere section 50a is not covered with a plating layer etc., but an IC package serves as a gestalt exposed outside as it is. The IC package obtained by the approach of this example can be mounted as it is by soldering, and has the advantage that it is not necessary to prepare a bump a copper-plating layer.

[0047] In addition, the land 18 of a major diameter is formed in a bump base rather than the diameter of a bump like the example which mentioned above also in the IC package created by the approach of this example. Moreover, also in this example, protection plating, such as nickel plating and gilding, may be performed as an object for a bump's protection.

[0048] (Example 6) It is the example which uses the *****-strike which can be soldered and is the approach which omitted through-hole plating. In this example, after *****(ing) the hole for through hole formation to ** both sides to the substrate which carried out covering formation of the copper foil, double-sided etching is performed to a substrate and a land and a circuit pattern are formed.

** Next, fill up the hole for said through hole formation with the *****-strike which has conductivity and soldering nature, form a semi-sphere bump, and consider as an IC package.

[0049] The configuration of the IC package obtained by drawing 20 by the approach of this example is shown. A through hole is filled up with the *****-strike 50 and, as for the IC package of this example, the circuit pattern 52 with which a substrate 10 and a bump are really formed and come to etch copper foil into the top face of a substrate 10 is formed. The point of the IC package obtained by the approach of this example that the configuration is simplified extremely is the description. Since the *****-strike 50 has soldering nature, it can be mounted by soldering as it is.

[0050] (Example 7) Although the **-strike was filled up with each above-mentioned example into the through hole and the bump was formed in a substrate and one, it is possible to form the IC package with thermal beer which makes efficient heat leakage possible using the thermal conductivity of the **-strike with which a through hole is filled up. As a *****-strike which has good thermal conductivity, the **-strike containing metal powders, such as copper and silver, can be used.

[0051] Drawing 21 shows the example which carried the IC package formed using the thermally conductive good *****-strike 60 in the mother board. An IC package has thermal beer 62 prepared in the inferior surface of tongue of the loading hole of semi-sphere bump 60a as a connection terminal, and the IC chip 34. Thermal beer 62 is similarly formed with each above-mentioned example having explained by the same

approach as the case where the semi-sphere bump as a connection terminal is formed. That is, the through hole for thermal beer formation is established in IC chip loading section other than the through hole for connection terminal formation, these through holes are filled up with the *****-strike 60, and bump formation is carried out. Then, by carrying out ***** processing of the top face of a substrate 10, and forming a loading hole, the upper limit side of thermal beer 62 can be exposed to the loading side of the IC chip 34, and the IC chip 34 can be direct connected to thermal beer 62.

[0052] For the insulating layer of a mother board, and 66, as for prepreg and 70, the pad for connection and 68 are [64 / a shielding layer and 72] the heat-conduction layers of a mother board in drawing 21 . Semi-sphere bump 60a is connected to the pad 66 for connection, and, as for an IC package, thermal beer 62 is connected to the heat-conduction layer 72 of a mother board. While a mother board is electrically connected with an IC package by this, the heat leakage from the IC chip 34 is efficiently made through thermal beer 62 by it. Since the thermal beer 62 prepared in the IC package of this example is direct connected to the IC chip 34, it becomes possible to carry out heat leakage efficiently from the IC chip 34. The manufacture approach of the IC package which has thermal beer by this approach is a very effective approach at the point which can also form thermal beer in a connection terminal and coincidence.

[0053] In addition, of course, the above-mentioned approach is possible also for forming a connection terminal and thermal beer at another process as an option. That is, thermal beer is formed using the prepreg at the time of carrying out a multilayer laminating, and you may make it form a connection terminal by carrying out bump formation according to the above-mentioned approach at a back process. Thus, the quality of the material of the bump part which forms the thermal beer prepared in IC chip loading range and a connection terminal is not necessarily the same.

[0054] Drawing 22 and drawing 23 are the explanatory views showing the situation of the connection at the time of mounting the IC package which has a semi-sphere bump, and show signs that the IC package was mounted in the printed circuit board 74 with the pewter 76. 78 is the pad for soldering prepared in the front face of a printed circuit board 74. When drawing 22 has few amounts of a pewter 76, drawing 23 is a case with many amounts of a pewter 76. A semi-sphere bump contacts the pad 78 for soldering in respect of the top-most vertices, and a pewter 76 adheres to the perimeter of the contact part in the shape of a meniscus. Thus, if the connection terminal is a semi-sphere, a pewter 76 can draw near to a semi-sphere bump's contact part from an outside, and it prevents that a pewter 76 flows outside. Even if it changes the amount of pewters by this, it becomes possible to make positive connection.

[0055] When the IC package which actually formed many semi-sphere bumps was joined to the printed circuit board and the situation of junction to each semi-sphere bump and the pad for soldering of a printed circuit board was observed with the X-ray plant, while the location of a semi-sphere bump and the pad for soldering was in agreement with an operation of self-alignment, it checked a pewter being able to draw near to the contact part of a pad and a semi-sphere bump, and being joined certainly.

[0056] Drawing 24 and drawing 25 show the situation of connection when a semi-sphere bump and a circuit pattern carry out a location gap. Drawing 25 shows the case of the IC package which has a flat bump as a comparison. If the pad 78 for soldering and a bump do a location gap, an electric short circuit will become easy to arise between the pads 78 with which a flash, and a bump's end face and mounting substrate side approach even the outside of the pad 78 for soldering, and a pewter 76 adjoins it in the case of the IC package which has a flat bump as shown in drawing 25 . On the other hand, in the case of a semi-sphere bump, since it is separated from a bump's external surface and mounting substrate side as shown in drawing 24 , it can prevent that a pewter 76 flows into the outside of the pad 76 for soldering, and it can prevent an electric short circuit by this. Thus, it becomes possible to be able to prevent the electric short circuit between patterns, to be able to make suitable connection, when a semi-sphere bump is used, to become possible to form a connection terminal in high density, and to correspond to many pin-ization suitably.

[0057]

[Effect of the Invention] The IC package concerning this invention can be offered as a product which can be made to certainly mount in a mounting substrate by being able to prevent that a bump is missing at the time of handling of an IC package, since a substrate and a bump are formed in one as mentioned above, and forming a bump in a semi-sphere. moreover, the hole for through hole formation which was prepared in the substrate according to the manufacture approach of the IC package concerning this invention -- since a semi-sphere bump is formed as a connection terminal by being filled up with a **-strike inside, it can be made to be able to unify certainly and a substrate and a bump can be formed. Moreover, the higher efficacy of being able to form as a bump who has firmness fixed as a connection terminal is done so.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It sets in the example of the manufacture approach of an IC package, and is SURUHO to a substrate. It is a sectional view in the condition of having formed the hole for - RU formation.

[Drawing 2] It is a sectional view in the condition of having given through-hole plating.

[Drawing 3] It is a sectional view in the condition of having formed the land in the substrate.

[Drawing 4] It is a sectional view in the condition of having filled up the through hole with the *****-strike.

[Drawing 5] It is a sectional view in the condition of having performed electrolysis plating to the bump and the plating layer.

[Drawing 6] It is a sectional view in the condition of having formed the circuit pattern and having performed protection plating.

[Drawing 7] It is the sectional side elevation of an IC package.

[Drawing 8] It is the bottom view of an IC package.

[Drawing 9] It is a sectional view in the condition of having carried IC chip in the IC package.

[Drawing 10] It is the sectional view showing other examples of formation of a semi-sphere bump.

[Drawing 11] In the 2nd example of the manufacture approach of an IC package, it is a sectional view in the condition of having given through-hole plating.

[Drawing 12] It is a sectional view in the condition of having formed the circuit pattern and the land by double-sided etching.

[Drawing 13] It is a sectional view in the condition of having formed the bump.

[Drawing 14] It is a sectional view in the condition of having performed non-electrolytic copper plating to the bump front face and the plating layer.

[Drawing 15] In the 4th example of the manufacture approach of an IC package, it is a sectional view in the condition of having formed the land.

[Drawing 16] It is a sectional view in the condition of having formed the bump.

[Drawing 17] It is a sectional view in the condition of having prepared the copper-plating layer.

[Drawing 18] It is a sectional view in the condition of having formed the circuit pattern.

[Drawing 19] It is the sectional view of the IC package obtained in the 6th example of the manufacture approach of an IC package.

[Drawing 20] It is the sectional view of the IC package obtained in the 7th example of the manufacture approach of an IC package.

[Drawing 21] It is the explanatory view showing the condition of having carried the IC package in the mother board.

[Drawing 22] It is the explanatory view showing the situation of connection between a semi-sphere bump and a circuit pattern.

[Drawing 23] It is the explanatory view showing the situation of connection between a semi-sphere bump and a circuit pattern.

[Drawing 24] A semi-sphere bump and a circuit pattern are the explanatory views showing the situation of connection in the condition of carrying out the location gap.

[Drawing 25] A flat bump and a circuit pattern are the explanatory views showing the situation of connection in the condition of carrying out the location gap.

[Description of Notations]

10 Substrate

14 Hole for through Hole Formation

15 Through Hole
16 Plating Layer
18 Land
20 *****-Strike
20a Semi-sphere section
22 Copper-Plating Layer
24 Circuit Pattern
26 Protection Plating
30 Semi-sphere Bump
32 Loading Hole
34 IC Chip
35 Inner Layer Circuit Pattern
37 Thermal Beer
40 Circuit Pattern
42 Land
44 *****-Strike
44a Semi-sphere section
46 Copper-Plating Layer
50 *****-Strike
52 Circuit Pattern
60 *****-Strike
60a Semi-sphere bump
62 Thermal Beer
74 Printed Circuit Board
76 Pewter
78 Pad for Soldering

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

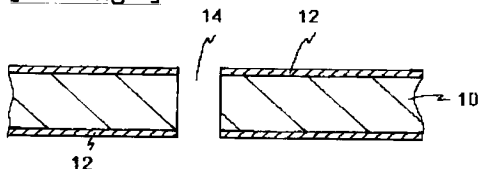
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

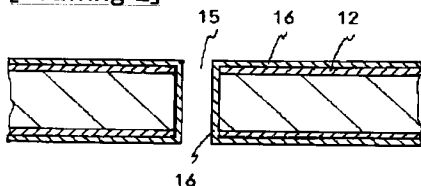
3.In the drawings, any words are not translated.

DRAWINGS

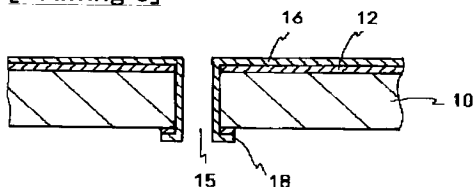
[Drawing 1]



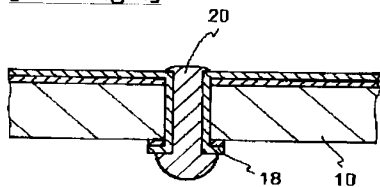
[Drawing 2]



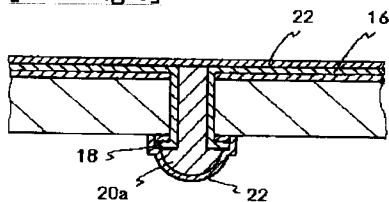
[Drawing 3]



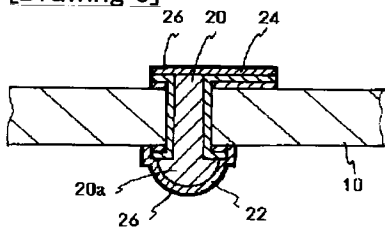
[Drawing 4]



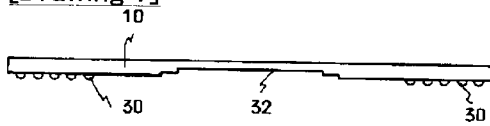
[Drawing 5]



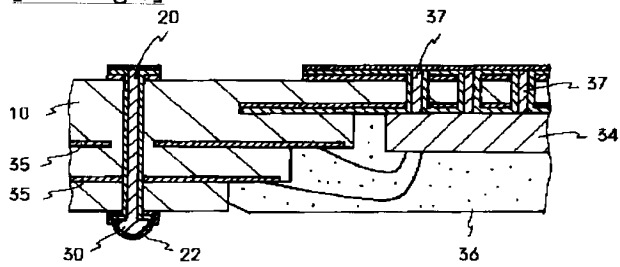
[Drawing 6]



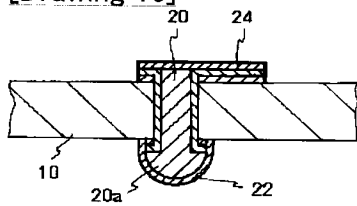
[Drawing 7]



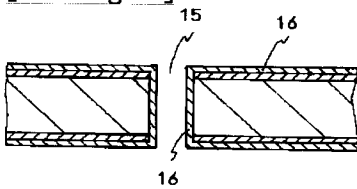
[Drawing 9]



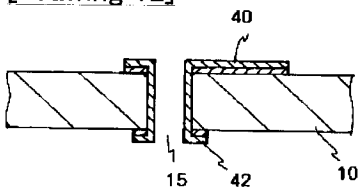
[Drawing 10]



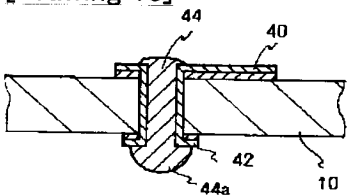
[Drawing 11]



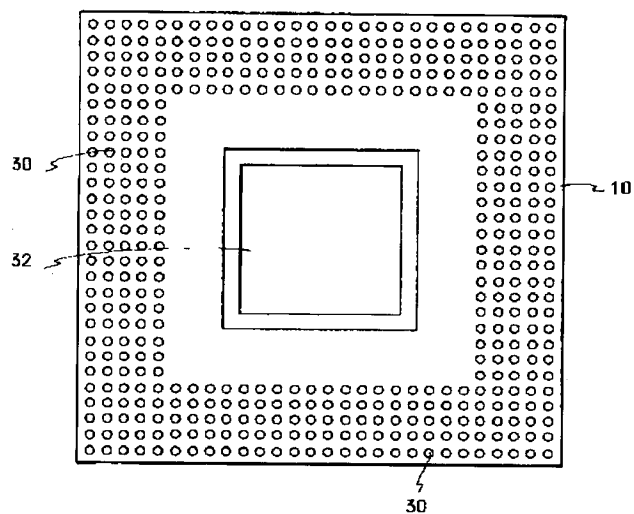
[Drawing 12]



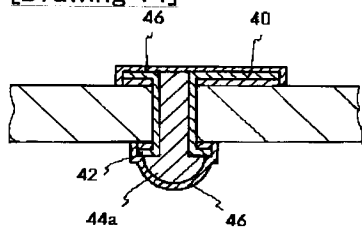
[Drawing 13]



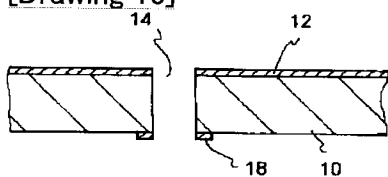
[Drawing 8]



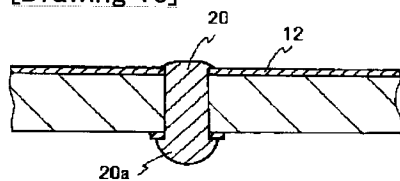
[Drawing 14]



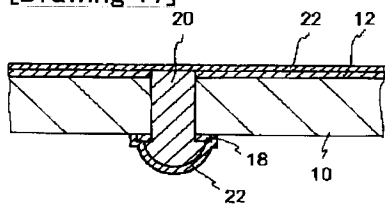
[Drawing 15]



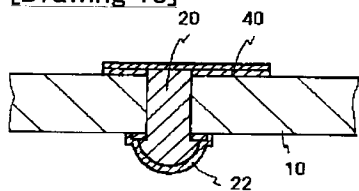
[Drawing 16]



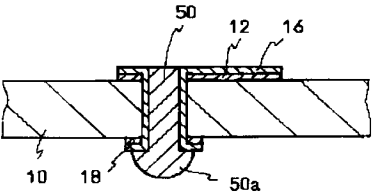
[Drawing 17]



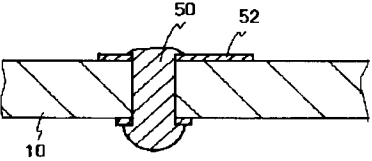
[Drawing 18]



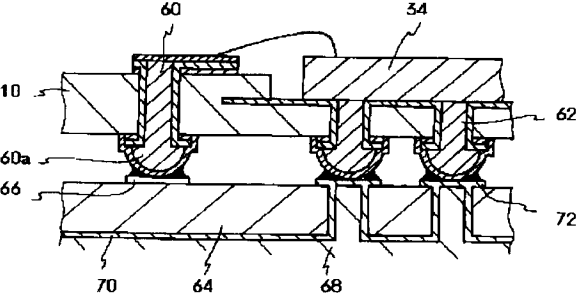
[Drawing 19]



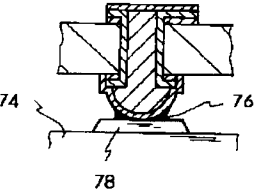
[Drawing 20]



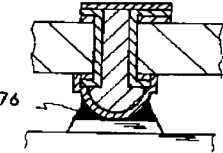
[Drawing 21]



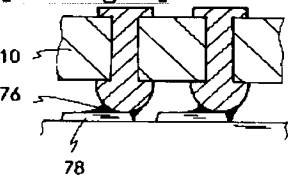
[Drawing 22]



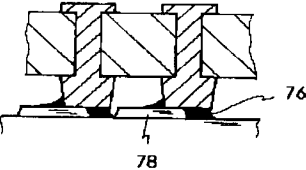
[Drawing 23]



[Drawing 24]



[Drawing 25]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-226456

(43) 公開日 平成7年(1995)8月22日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
H 0 5 K 1/11		N 7511-4E		
1/18		J 8718-4E		
			H 0 1 L 23/ 12	L
				N
審査請求 未請求 請求項の数19 O L (全 12 頁) 最終頁に続く				

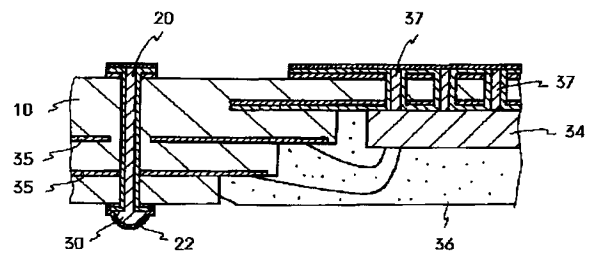
(21) 出願番号	特願平6-86622	(71) 出願人	000230216 日本ミクロン株式会社 長野県岡谷市川岸上3丁目4番5号
(22) 出願日	平成6年(1994)4月25日	(72) 発明者	小松 隆次 長野県岡谷市川岸上1-9-28
(31) 優先権主張番号	特願平5-132280	(72) 発明者	上野 裕 長野県岡谷市長地1448-1
(32) 優先日	平5(1993)4月23日	(74) 代理人	弁理士 綿貫 隆夫 (外1名)
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平5-220386		
(32) 優先日	平5(1993)7月5日		
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平5-339919		
(32) 優先日	平5(1993)11月25日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 I Cパッケージ及びその製造方法

(57) 【要約】

【目的】 基板に bumps を一体形成し、bumps の欠落等を防止するとともに、実装時の電氣的短絡を防止した I C パッケージを提供する。

【構成】 基板 10 に表面実装用の bumps 30 を形成した I C パッケージにおいて、前記基板 10 の厚み方向に透設して形成されたスルーホールに導電性あるいは電氣的絶縁性のペースト 20 が充填され、前記ペースト 20 が前記スルーホール的一端から半球形状に突出して前記スルーホール内に充填されたペースト 20 と一体に固化して bumps 30 が形成され、該半球形の bumps 30 表面に銅めっき等の導体めっき層 22 が被着形成されたことを特徴とする。



【特許請求の範囲】

【請求項 1】 基板に表面実装用のバンプを形成した IC パッケージにおいて、

前記基板の厚み方向に透設して形成されたスルーホールに導電性あるいは電氣的絶縁性のペーストが充填され、前記ペーストが前記スルーホールの一端から半球形状に突出して前記スルーホール内に充填されたペーストと一体に固化してバンプが形成され、該半球形のバンプ表面に銅めっき等の導体めっき層が被着形成されたことを特徴とする IC パッケージ。

【請求項 2】 基板に表面実装用のバンプを形成した IC パッケージにおいて、前記基板の厚み方向に透設して形成された孔に導電性ペーストが充填され、前記導電性ペーストが前記孔の一端から半球形状に突出して前記孔内に充填された導電性ペーストと一体に固化形成されて成ることを特徴とする IC パッケージ。

【請求項 3】 導電性ペーストがハンダ付け性を有するものである請求項 2 記載の IC パッケージ。

【請求項 4】 導電性ペーストによって形成された半球形のバンプ表面に銅めっき等の導体めっき層が被着形成されたことを特徴とする請求項 2 記載の IC パッケージ。

【請求項 5】 基板が複数個の IC チップを搭載可能にしたマルチチップタイプのものであることを特徴とする請求項 1 または 2 記載の IC パッケージ。

【請求項 6】 基板が複数の内層配線パターンを有する多層基板であることを特徴とする請求項 1、2 または 5 記載の IC パッケージ。

【請求項 7】 IC チップと接続する配線パターンの端子部が多段に形成されたことを特徴とする請求項 6 記載の IC パッケージ。

【請求項 8】 半球形バンプの基部にバンプよりも大径のランドが設けられたことを特徴とする請求項 1、2 または 4 項記載の IC パッケージ。

【請求項 9】 基板の IC チップ搭載範囲にサーマルビアが設けられたことを特徴とする請求項 1、2、5 または 6 記載の IC パッケージ。

【請求項 10】 基板の IC チップ搭載範囲に、基板に透設されたスルーホールあるいは孔内に前記接続端子を形成するペーストと同じペーストが充填されたサーマルビアが設けられたことを特徴とする請求項 1、2、5 または 6 記載の IC パッケージ。

【請求項 11】 基板に表面実装用のバンプを形成した IC パッケージの製造方法において、前記基板に形成するバンプの平面配置位置に合わせて基板の厚み方向にスルーホール形成用の孔を透設し、前記孔内にペーストを充填して、前記孔の一端から半球形状にペーストを突出させ、孔内のペーストとともに一体にペーストを固化させることによってバンプを形成することを特徴とする IC パッケージの製造方法。

【請求項 12】 基板に表面実装用のバンプを形成した IC パッケージの製造方法において、

両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、

スルーホールめっきを施し、

前記基板の片面をエッチングして前記孔位置に合わせてランドを形成し、

スルーホールに導電性ペーストを充填して前記スルーホールの一端から半球形状に前記導電性ペーストを突出させ、

前記導電性ペーストを固化させてバンプを形成し、

電解めっきを施して前記バンプ表面に銅めっき等の導体めっき層を設け、

前記ランド形成面とは反対側の基板面をエッチングして所定の配線パターンを形成することを特徴とする IC パッケージの製造方法。

【請求項 13】 請求項 12 項記載の IC パッケージの製造方法において、前記導電性ペーストにかえて無電解めっき被膜を析出しやすいペーストを使用し、

スルーホールを形成してバンプを形成した後、

無電解めっきを施して前記バンプ表面に無電解導体めっき層を設け、次いで、電解めっきにより導体めっき層を厚付けすることを特徴とする IC パッケージの製造方法。

【請求項 14】 基板に表面実装用のバンプを形成した IC パッケージの製造方法において、

両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、

スルーホールめっきを施し、

前記基板の両面をエッチングして前記孔位置に合わせてランドおよび配線パターンを形成し、

前記スルーホールに無電解めっき被膜を析出しやすいペーストを充填して前記スルーホールの一端から半球形状に前記ペーストを突出させ、

前記ペーストを固化させてバンプを形成し、

無電解めっきにより前記バンプ表面に導体めっき層を設けることを特徴とする IC パッケージの製造方法。

【請求項 15】 基板に表面実装用のバンプを形成した IC パッケージの製造方法において、

両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、

前記基板の片面をエッチングして前記孔位置に合わせてランドを形成し、

前記孔内に導電性ペーストを充填して前記スルーホールの一端から半球形状に前記導電性ペーストを突出させ、

前記導電性ペーストを固化させてバンプを形成し、

電解めっきを施して前記バンプ表面に導体めっき層を被着形成し、

前記ランド形成面とは反対側の基板面をエッチングして所定の配線パターンを形成することを特徴とする IC パ

10

20

30

40

50

パッケージの製造方法。

【請求項 16】 基板に表面実装用のバンパを形成した I C パッケージの製造方法において、
両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、
前記基板の両面をエッチングして前記孔位置に合わせてランドおよび配線パターンを形成し、
前記孔内に無電解めっき被膜を析出しやすい導電性ペーストを充填してスルーホールの一端から半球形状に前記導電性ペーストを突出させ、
前記導電性ペーストを固化させてバンパを形成し、
無電解めっきにより前記バンパ表面に導体めっき層を厚付けすることを特徴とする I C パッケージの製造方法。

【請求項 17】 基板に表面実装用のバンパを形成した I C パッケージの製造方法において、
両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、
スルーホールめっきを施し、
前記基板の両面をエッチングして前記孔位置に合わせてランドおよび配線パターンを形成し、
前記スルーホールにハンダ付け性を有する導電性ペーストを充填してスルーホールの一端から半球形状に前記導電性ペーストを突出させ、
前記導電性ペーストを固化させてバンパを形成することを特徴とする I C パッケージの製造方法。

【請求項 18】 基板に表面実装用のバンパを形成した I C パッケージの製造方法において、
両面に銅箔を被着形成した基板の厚み方向に接続端子形成用の孔を透設するとともに I C チップの搭載範囲にサーマルビア形成用の孔を透設し、
前記接続端子形成用の孔および前記サーマルビア形成用の孔に熱伝導性の良好なペーストを充填して、接続端子とともにサーマルビアを形成することを特徴とする請求項 11、12、13、14、15、16 または 17 記載の I C パッケージの製造方法。

【請求項 19】 バンパにニッケルめっき、銀めっき、金めっき等の保護めっきを施すことを特徴とする請求項 11、12、13、14、15、16 または 17 記載の I C パッケージの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は I C パッケージ及びその製造方法に関し、より詳細には接続端子として基板に半球形バンパを設けた I C パッケージ及びその製造方法に関する。

【0002】

【従来の技術】 近年、I C の急速な高速化、高機能化にともない、小型かつ多ピンで安価な、しかも信頼性の高い I C パッケージが求められている。これに対し、PGA、TAB、QFP、BGA など種々のパッケージが開

発されてきた。しかしながら、従来の I C パッケージは製造コストや多ピン化の点で問題があった。

【0003】

【発明が解決しようとする課題】 たとえば、前記 PGA は多ピン化が比較的容易であるものの、基板にピンを立てる必要があることから製造コストがかかるという問題がある。また、TAB は一括ボンディングによってインナーボンディングできることから製造コスト的には有利であるが、外周縁でしか接続できないため接続部の配線パターンを微細に形成しなければならない。また、ボンディングの際に特殊な装置を必要とするという問題がある。また、QFP は接続端子の設置位置がパッケージの周縁部のみに限定されるため、多ピンにする場合はパッケージの外形寸法を大きくするかピンのピッチを狭くするしか手段がなく、多ピン化が制約されるという問題がある。

【0004】 また、BGA は接続端子としてハンダボールを使用し、基板面全体を接続端子の設置スペースにできることから好適に多ピン化が図れるが、実装時にハンダボールがつぶれてショートするおそれがあることや、ハンドリング時にハンダボールが欠落するおそれがあることから I C ボンディングや樹脂封止した後にハンダボールを取り付けなければならないといった問題があった。

【0005】 本出願の I C パッケージは BGA パッケージと同様に基板にバンパを形成して成るものであるが、基板にバンパを形成する方法としては上記のハンダボールを取り付けるものの他、めっきを施したプラスチックボールを取り付けるといった方法もある。しかしながら、従来のような別体で形成したボールを取り付けたパッケージは、ボールの接合強度が不十分になることや、きわめて小さな部品を取り扱うことから取扱いが煩雑であるといった問題があった。

【0006】 また、最近の I C は上記の多ピン化、小型化とともに高機能化にともない発熱量が大きくなっている。そのため、I C パッケージの熱放散性が問題になっている。I C パッケージの熱放散性を向上させる方法としては放熱用フィンを取り付ける方法やサーマルビアを設ける方法がある。このうち、放熱フィンを取り付ける方法は比較的容易に放熱効果を得ることができ、送風装置と併用することによってさらに高い放熱効果を得ることができるという利点はあるが、放熱フィンは相応な大きさが必要であり、このため I C パッケージの小型化、薄型化が阻害される。また、別部品として冷却装置を設けた場合は機器の小型化が難しくなるという問題がある。また、サーマルビアを設ける場合、従来方法では I C チップの直下に設け難く、そのため有効な熱放散ができないという問題があった。

【0007】 そこで、本発明はこれら問題点を解消すべくなされたものであり、その目的とするところは、基板

に対してバンプが一体的に形成され、基板からバンプが欠落したりすることを防止でき、実装時における電氣的短絡を防止して実装基板と確実に接続することができるＩＣパッケージおよびこのＩＣパッケージを好適に製造することができるＩＣパッケージの製造方法を提供しようとするものである。

【０００８】

【課題を解決するための手段】本発明は上記目的を達成するため次の構成を備える。すなわち、基板に表面実装用のバンプを形成したＩＣパッケージにおいて、前記基板の厚み方向に透設して形成されたスルーホールに導電性あるいは電氣的絶縁性のペーストが充填され、前記ペーストが前記スルーホールの一端から半球形状に突出して前記スルーホール内に充填されたペーストと一体に固化してバンプが形成され、該半球形のバンプ表面に銅めっき等の導体めっき層が被着形成されたことを特徴とする。また、前記基板の厚み方向に透設して形成された孔に導電性ペーストが充填され、前記導電性ペーストが前記孔の一端から半球形状に突出して前記孔内に充填された導電性ペーストと一体に固化形成されて成ることを特徴とする。また、前記導電性ペーストがハンダ付け性を有するものである場合は、バンプに導体めっき層を形成せずにそのままハンダ付けによって実装できる点で好ましい。また、前記導電性ペーストによって形成された半球形のバンプ表面に銅めっき等の導体めっき層が被着形成されたことを特徴とする。また、前記基板が複数のＩＣチップを搭載可能にしたマルチチップタイプのものであることを特徴とする。また、前記基板に複数の内層配線パターンを有する多層基板を用いることは、種々用途の製品を形成できる点で好ましい。また、ＩＣチップと接続する配線パターンの端子部が多段に形成されたことは多ピン形成が容易にできる点で好ましい。また、半球形バンプの基部にバンプよりも大径のランドが設けられたことを特徴とする。また、前記基板のＩＣチップ搭載範囲にサーマルビアが設けられたものは、効果的にＩＣパッケージの熱放散性を向上させることができる点で好ましい。また、前記基板のＩＣチップ搭載範囲に、基板に透設されたスルーホールあるいは孔内に前記接続端子を形成するペーストと同じペーストが充填されたサーマルビアが設けられたことを特徴とする。

【０００９】また、基板に表面実装用のバンプを形成したＩＣパッケージの製造方法において、前記基板に形成するバンプの平面配置位置に合わせて基板の厚み方向にスルーホール形成用の孔を透設し、前記孔内にペーストを充填して、前記孔の一端から半球形状にペーストを突出させ、孔内のペーストとともに一体にペーストを固化させることによってバンプを形成することを特徴とする。また、両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、スルーホールめっきを施し、前記基板の片面をエッチングして前記孔位置に

合わせてランドを形成し、スルーホールに導電性ペーストを充填して前記スルーホールの一端から半球形状に前記導電性ペーストを突出させ、前記導電性ペーストを固化させてバンプを形成し、電解めっきを施して前記バンプ表面に銅めっき等の導体めっき層を設け、前記ランド形成面とは反対側の基板面をエッチングして所定の配線パターンを形成することを特徴とする。また、前記ＩＣパッケージの製造方法において、前記導電性ペーストにかえて無電解めっき被膜を析出しやすいペーストを使用し、スルーホールを形成してバンプを形成した後、無電解めっきを施して前記バンプ表面に無電解導体めっき層を設け、次いで、電解めっきにより導体めっき層を厚付けすることを特徴とする。また、基板に表面実装用のバンプを形成したＩＣパッケージの製造方法において、両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、スルーホールめっきを施し、前記基板の両面をエッチングして前記孔位置に合わせてランドおよび配線パターンを形成し、前記スルーホールに無電解めっき被膜を析出しやすいペーストを充填して前記スルーホールの一端から半球形状に前記ペーストを突出させ、前記ペーストを固化させてバンプを形成し、無電解めっきにより前記バンプ表面に導体めっき層を設けることを特徴とする。また、両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、前記基板の片面をエッチングして前記孔位置に合わせてランドを形成し、前記孔内に導電性ペーストを充填して前記スルーホールの一端から半球形状に前記導電性ペーストを突出させ、前記導電性ペーストを固化させてバンプを形成し、電解めっきを施して前記バンプ表面に導体めっき層を被着形成し、前記ランド形成面とは反対側の基板面をエッチングして所定の配線パターンを形成することを特徴とする。また、両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、前記基板の両面をエッチングして前記孔位置に合わせてランドおよび配線パターンを形成し、前記孔内に無電解めっき被膜を析出しやすい導電性ペーストを充填してスルーホールの一端から半球形状に前記導電性ペーストを突出させ、前記導電性ペーストを固化させてバンプを形成し、無電解めっきにより前記バンプ表面に導体めっき層を厚付けすることを特徴とする。また、両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、スルーホールめっきを施し、前記基板の両面をエッチングして前記孔位置に合わせてランドおよび配線パターンを形成し、前記スルーホールにハンダ付け性を有する導電性ペーストを充填してスルーホールの一端から半球形状に前記導電性ペーストを突出させ、前記導電性ペーストを固化させてバンプを形成することを特徴とする。また、両面に銅箔を被着形成した基板の厚み方向に接続端子形成用の孔を透設するとともにＩＣチップの搭載範囲にサーマルビア形成用の孔を透設し、前記接続端

10

20

30

40

50

子形成用の孔および前記サーマルビア形成用の孔に熱伝導性の良好なペーストを充填して、接続端子とともにサーマルビアを形成することを特徴とする。また、前記バンプにニッケルめっき、銀めっき、金めっき等の保護めっきを施すことを特徴とする。

【0010】

【発明の概要】本発明に係る IC パッケージは基板面に半球形バンプを形成して表面実装を可能にした製品であり、バンプを基板と一体に形成したこと及び基板面から半球形に突出させて形成したことを特徴とする。本発明に係る IC パッケージの製造方法は基板にスルーホール形成用の孔をあけ、孔内にペーストを充填することによって半球形のバンプを形成することを特徴とする。なお、使用するペーストは導電性を有するものであっても良いし、電氣的絶縁性のものであってもよい。

【0011】基板面から半球形状にバンプを突出させるには、スクリーン印刷法等で基板に設けた孔あるいはスルーホール（スルーホールの用語は電氣的導通を有するものの意で用いる）内にペーストを充填し、孔あるいはスルーホールの一端からペーストを一定量押し出すようにし、ペーストの自重と表面張力の作用によって半球形に形成する。

【0012】このように孔内にペーストを充填して半球形にする場合は使用するペーストの粘度やチクソビリティが重要な要素となる。たとえば、チクソビリティが高過ぎるとスルーホールからペーストが尖って突出するようになり、チクソビリティが低過ぎるとペーストがわきに流れて立ち上がり形状が形成されなくなる。このようにして形成するバンプは各々の大きさや高さが均一にならなければならない。バンプの高さ寸法などが不均一だと実装の際に確実な接続ができなくなるからである。上記のようにしてバンプを形成したスルーホールの他端は基板面上に形成した配線パターンに接続し、半球形バンプと配線パターンとがスルーホール部分で電氣的に導通して表面実装可能になる。

【0013】半球形バンプを形成する方法としては、基板にスルーホール形成用の孔を設けてスルーホールめっきを施してからペーストを充填する方法と、基板にスルーホール形成用の孔を形成した後、スルーホールめっきを施さずにそのままペーストを充填して形成する方法がある。スルーホールめっきを施さない場合は、スルーホール形成用の孔の内面とペーストとの密着性が問題になるのに対し、スルーホールめっきを施した場合は、孔の内面とめっき層との密着性が良好になってパッケージの密封性が向上するという利点がある。また、スルーホールめっきを施した場合はスルーホール部分での電氣的導通が良好になるという利点がある。なお、スルーホールめっきを施す場合はスルーホールの内面のめっき層で電氣的に導通するから、導電性ペーストのかわりに電氣的絶縁性のペーストを使用することが可能である。この場

合のペーストは半球形バンプの形状を保持するコア部を構成することになる。

【0014】半球形バンプを形成した後はバンプの半球部の表面に銅めっき層等の導体めっき層を形成するのがよい。この導体めっき層は、バンプを補強する作用と、実装の際におけるハンダ付けを可能にすること、スルーホールの密封性を向上させ IC パッケージの吸湿を防止するという作用がある。

【0015】上記の導体めっき層は電解めっきあるいは無電解めっきによって形成できる。電解めっきを施す場合はバンプと電氣的に導通をとる必要があるから配線パターン等を形成する製造工程とのかねあいで電解めっきと無電解めっきを選択する必要がある。無電解めっきを使用する場合は必要個所にのみ選択的にめっき被膜が形成されるようにしなければならないから、その場合は無電解めっき被膜を析出しやすいペーストを使用すればよい。無電解めっき被膜を析出しやすいペーストを使用することによって、必要個所にのみ選択的に導体めっき被膜を形成することができる。無電解めっきは電解めっきを施すための電氣的導通をとる下地めっきとしても使用できる。

【0016】本発明で使用する半球形バンプ形成用のペーストとしては、上記の導電性あるいは電氣的絶縁性を有するものの他にさらにハンダ付け性を備えたペーストを使用できる。ハンダ付け性を有するペーストを使用する場合は、半球形バンプの表面に上記のような導体めっき層を設けずにそのままハンダ付けによって実装できるという利点がある。また、さらに半球形バンプ形成用のペーストとして良好な熱伝導性を有するペーストを使用することによって、基板に熱放散用のサーマルビアを形成してパッケージの熱放散性を向上させるようにすることもできる。

【0017】本発明に係る IC パッケージの製造方法によれば、基板に設けたスルーホール形成用の孔にペーストを充填してバンプを形成するから、従来のような別体で形成したハンダボールを基板に接合する方法とは異なり基板と一体にバンプが形成でき、バンプが基板から欠落するといったことを防止することができる。したがって、従来のように IC ボンディングあるいは樹脂封止した後にハンダボールを接合するという製造工程をとる必要がなく、IC パッケージの完成品として提供することができる。これによって、半導体装置の製造を容易にすることが可能になる。

【0018】また、接続端子が半球形バンプとして形成されるから実装時における電氣的短絡の発生を効果的に防止することができる。また、バンプはペーストを半球形に固化したコアによって形成されているから保形性があり、実装の際にバンプがつぶれたりすることを防止することができる。

【0019】本発明に係る IC パッケージの基板材料と

しては、電氣的絶縁性を有する材料が広く適用可能である。一般には、ガラスエポキシを変性させた耐熱性のガラスエポキシあるいはBTレジン、ポリイミド、あるいはこれらとエポキシ樹脂とを混合させたものが好適である。また、プラスチック基板のかわりにセラミック基板を使用することも可能である。また、本発明に係るICパッケージを構成する基板も単層に限らず複数の配線パターン層を有する多層基板も使用できる。また、複数のICチップを搭載するマルチチップタイプの基板に対しても適用することができる。また、ヒートスプレッドを装着した基板やテープキャリアと組み合わせて使用する基板等についても適用できる。

【0020】

【実施例】以下、本発明に係るICパッケージ及びその製造方法に関する好適な実施例について添付図面とともに説明する。

（実施例1）図1～図6は本発明に係るICパッケージの製造方法の第1実施例を示す。本実施例は導電性ペーストを使用して半球形バンプを形成する例である。導電性ペーストとしては、たとえば、CLX-204（タムラ製作所製）、MDP-800、900（三井東圧化学社製）が使用できる。

【0021】① 図1は、まず、両面に銅箔12を被着形成した基板10に穴明け加工を施してスルーホール形成用の孔14を形成した状態を示す。孔14は基板10に設けるバンプの平面配置に合わせて所定数形成する。図では説明上、一つの孔14のみ示す。

【0022】② 次に、スルーホールめっきにより、孔14の内壁面にめっき層16を設けスルーホール15を形成するとともに、銅箔12表面にめっき層16を形成する（図2）。このめっき層16は基板10の上面に形成する配線パターンと、基板10の下面に形成するバンプとを電氣的に導通させるためのものである。スルーホールめっきは、無電解銅めっきを施した後、電解銅めっきを施して行く。

【0023】③ 次に、基板10のバンプ形成面に片面エッチングを施し、各々のスルーホール15の位置に合わせてランド18を形成する。ランド18は平面形状を円形とし、形成すべきバンプの径サイズよりも若干大径に形成する（図3）。

【0024】④ 次に、スルーホール15の下端部から導電性ペースト20を一定量押し出すようにして基板10の上方からスルーホール15内に導電性ペースト20を充填する。図4はスルーホール15内に導電性ペースト20を充填した状態を示す。スルーホール15の下端から押し出された導電性ペースト20は自重と表面張力の作用によってランド18の下側に半球形に突出する。導電性ペースト20を充填した後、加熱して導電性ペースト20を固化させ、基板10の下面に半球部20aを形成する。

【0025】⑤ 次に、スルーホール15の上部の導電性ペースト20の端面を研削して平坦化する。次に、電解銅めっきを施し、導電性ペースト20の半球部20aの外面および基板10上面の導電性ペースト20の露出面、めっき層16の表面に銅めっき層22を設ける（図5）。

【0026】⑥ 次に、基板10の上面に設けられた導体層に対し片面エッチングを施して配線パターン24を形成する。これによって基板10の上面に配線パターン24が形成され、配線パターン24と基板10下面のバンプが電氣的に導通される。

【0027】⑦ 図6は上記工程後、バンプと配線パターン24の表面にニッケルめっき、金めっき等の保護めっき26を設けた状態を示す。ICパッケージはこの後、外形加工を施して製品とされる。

【0028】本実施例のICパッケージは従来のハンダボール等を用いてバンプ形成した製品とは異なり、スルーホール15に導電性ペースト20を充填して形成したことによって基板10と半球形バンプとが一体に形成される点が特徴である。実施例では導電性ペースト20の半球部20aの外面に銅めっき層22を設けたが、この銅めっき層22は半球形バンプを補強する作用と実装時におけるハンダ付け性を得ること、スルーホール15を密封してICパッケージの密封性を向上させるという作用を有する。

【0029】実施例ではランド18を半球部20aよりも大径に形成して、銅めっき層22がバンプの基部位置で段差形状になるようにした。このように段差形状にした方が半球形バンプの補強に有効である。なお、図10はバンプの径とランド18の径を同サイズとしてバンプの基部に段差を形成しないように作成した例である。

【0030】上記実施例では電解銅めっきを施して銅めっき層22を設けたが、銅めっきの他にニッケルめっき、銀めっき、金めっき等の他の導体めっきを使用することも可能であり、また、同一または異種のめっき層を複数層に形成することもできる。

【0031】なお、上記実施例ではスルーホール15に充填するペーストとして導電性ペーストを使用した。導電性とともに無電解銅を析出しやすい性質を有するペーストを使用してもよい。このペーストを使用する場合も上記実施例と同様な製法による。ただし、この場合はバンプに銅めっき層を形成する際に、無電解銅を析出しやすいペーストの性質を利用してまず無電解銅めっきを施して電解銅めっきの下地層を形成した後、電解銅めっきによって銅めっき層を厚付けする。この方法は、導電性ペーストであっても銅めっき層が形成しにくいといった場合に無電解銅を析出して銅めっき層を設けた方が銅めっき層が確実に被着形成できるという利点がある。なお、無電解めっきとしては銅めっきに限らず、ニッケルめっき、銀めっき等の無電解めっきが使用でき、バンプ

を形成するペーストとしてはこれら無電解めっき被膜を析出しやすい材料を選べばよい。

【0032】図7は基板10に半球形バンプ30を形成したICパッケージの側断面図、図8は底面図を示す。図示例はキャビティダウン形式の製品で、基板10の下面中央部にICチップを搭載する搭載穴32を形成し、搭載穴32の周囲に半球形バンプ30を形成している。

【0033】図9は半球形バンプ30を形成したICパッケージにICチップ34を搭載した半導体装置を示す。この半導体装置は基板10が複数の内層配線パターン35を有する多層基板によって構成される。プラスチック基板によって形成する表面実装型のICパッケージではこのように複数の内層配線パターンを有する基板を積層して形成する場合が一般的である。このように積層体で形成した基板を使用する場合も上記実施例と同様に基板にスルーホールを設け、スルーホールに導電性ペースト20を充填して半球形バンプ30を形成することによりICパッケージを製造することができる。このICパッケージの実施例ではICチップとワイヤボンディングによって接続する配線パターンの端子部を多段に形成している。このように多段に形成することで多ピン化を図ることができる。

【0034】内層配線パターン35とICチップ34とはワイヤボンディング等で接続し、ICチップ34を樹脂封止して半導体装置とする。36は封止樹脂である。図示例では搭載穴の底面にもスルーホールを設け、導電性ペースト20を充填してサーマルビアを設けた。

【0035】(実施例2) 上記実施例では導電性ペーストを使用して半球形バンプを形成したが、本実施例は無電解銅を析出しやすい樹脂ペーストを使用して製造する方法である。なお、無電解銅を析出しやすい樹脂ペーストとしては、パラジウム、銅等を混入したペーストが使用できる。本実施例でのICパッケージの製造方法を図11～図14にしたがって説明する。

【0036】① まず、両面に銅箔を被着形成した基板にスルーホール形成用の孔を透設し、スルーホールめっきを施す(図11)。

② 次に、基板10に両面エッチングを施し、基板10の一方の面に配線パターン40及び他方の面にランド42を形成する(図12)。

③ 次に、無電解銅を析出しやすい樹脂ペースト44を用い、実施例1と同様な方法によって、基板10に設けたスルーホール形成用の孔に樹脂ペースト44を充填してランド42側に半球部44aを形成する(図13)。

【0037】④ 次に、無電解銅めっきを施し、半球部44a、配線パターン40の外面に銅めっき層46を設ける(図14)。樹脂ペースト44は無電解銅めっきを析出しやすいものであるから、バンプおよび配線パターン40部分にのみ選択的に無電解銅を析出して図のように銅めっき層46によって被覆することができる。

⑤ 次に、銅めっき層46の外面にニッケルめっき、金めっき等の保護めっきを施して製品とする。

【0038】本実施例では無電解銅を析出しやすい樹脂ペースト44を使用することによって無電解銅めっきにより好適に銅めっき層46を設けることができる。この場合、銅めっき層46は無電解銅めっきのみによって厚付けする。本実施例のように、あらかじめ配線パターン40を形成してからめっき被膜を設ける方法の場合は無電解めっきが好適である。なお、無電解めっきとしては、銅めっきに限らず、これ以外の無電解めっきが利用できる。その場合、ペーストは無電解めっき被膜を析出しやすいものを使用すればよい。

【0039】本実施例の場合は実施例1とは異なり、配線パターン40とランド42が一回のエッチング工程で形成できるという利点がある。なお、本実施例で使用する無電解銅を析出しやすい樹脂ペーストには導電性はとくに要求されず、電氣的絶縁性のものであっても使用できる。

【0040】(実施例3) 上記各実施例ではいずれも基板にスルーホール形成用の孔を設けた後にスルーホールめっきを施しているが、本実施例はスルーホールめっきを省略して製造する方法である。図15～図18に本実施例の製造方法を示す。

【0041】① まず、両面に銅箔12を被着形成した基板10にスルーホール形成用の孔14を形成し、片面エッチングによって基板10のバンプ形成面にランド18を形成する(図15)。

② 次に、孔14に導電性ペースト20を充填し、半球部20aを形成する(図16)。

③ 次に、電解銅めっきを施して半球部20aの表面と銅箔12の表面に銅めっき層22を設ける(図17)。

④ 次に、基板10の上面のめっき層を片面エッチングし、配線パターン40を形成する(図18)。

【0042】こうして、スルーホールめっきを施さずに半球形バンプを有するICパッケージが得られる。このICパッケージも基板と半球形バンプが一体形成されて成るものである。半球形バンプと基板10の上面の配線パターン40とはスルーホール15の導電性ペースト20を介して電氣的に導通する。

【0043】(実施例4) スルーホールめっきを省略して製造する他の実施例である。本実施例では、

① 銅箔を被着形成した基板にスルーホール形成用の孔を透設した後、両面エッチングによってランドおよび配線パターンを形成する。

② 次に、スルーホール形成用の孔に導電性を有し、かつ無電解銅を析出しやすい樹脂ペーストを充填してバンプを形成する。

③ 次に、無電解銅めっきを施してバンプおよび配線パターンに選択的に銅めっき層を被着形成することによって製造する。

【0044】本実施例では無電解銅めっきを使用した
が、無電解銅めっきに限らず、無電解めっき被膜を析出
しやすい樹脂ペーストを使用することにより他の無電解
めっきを使用することができる。上記実施例3および実
施例4の製造方法ではスルーホールめっきを省略するこ
とから製造工程を簡素化できるという利点がある。これ
ら実施例によって得られるICパッケージも先の実施例
による場合と同様に銅めっき層によってバンプを被覆す
ることにより、バンプを補強でき、ハンダ付け性および
スルーホールの密封性を得ることができる。なお、これ
ら実施例3、4による場合はスルーホールに充填した導
電性ペーストによってバンプと配線パターンとが電氣的
に接続されるが、導電性ペーストはスルーホールめっき
によるめっき層に比べて電氣的抵抗が大きいという不利
がある。

【0045】（実施例5）ハンダ付け可能な導電性ペ
ーストを使用する実施例を示す。本実施例では、

① 両面に銅箔を被着形成した基板にスルーホール形成
用の孔を透設し、スルーホールめっきを施した後、基板
に両面エッチングを施し、ランドおよび配線パターンを
形成する。

② 次に、ハンダ付け性を有する導電性ペーストをス
ルーホールに充填し、半球形バンプを形成してICパッ
ケージとする。

【0046】図19に本実施例の方法によって得られた
ICパッケージの構成を示す。ICパッケージはスルー
ホール内に導電性およびハンダ付け性を有する導電性ペ
ースト50が充填され、バンプの半球部50aがめっき
層等で被覆されず、そのまま外部に露出する形態とな
る。本実施例の方法によって得られるICパッケージは
ハンダ付けによってそのまま実装することができ、バン
プに銅めっき層を設ける必要がないという利点がある。

【0047】なお、この実施例の方法によって作成する
ICパッケージの場合も前述した実施例と同様にバンプ
基部にはバンプ径よりも大径のランド18が形成され
る。また、本実施例の場合もバンプの保護用としてニッ
ケルめっき、金めっき等の保護めっきを施してもよい。

【0048】（実施例6）ハンダ付け可能な導電性ペ
ーストを使用する実施例で、スルーホールめっきを省略し
た方法である。本実施例では、

① 両面に銅箔を被着形成した基板にスルーホール形成
用の孔を透設した後、基板に両面エッチングを施し、ラ
ンドおよび配線パターンを形成する。

② 次に、導電性およびハンダ付け性を有する導電性ペ
ーストを前記スルーホール形成用の孔に充填し、半球形
バンプを形成してICパッケージとする。

【0049】図20に本実施例の方法によって得られた
ICパッケージの構成を示す。本実施例のICパッケー
ジはスルーホールに導電性ペースト50が充填されて基
板10とバンプが一体形成され、基板10の上面に銅箔

をエッチングしてなる配線パターン52が形成されてい
る。本実施例の方法によって得られるICパッケージは
きわめて構成が単純化されている点が特徴である。導電
性ペースト50はハンダ付け性を有するから、そのまま
ハンダ付けによって実装することができる。

【0050】（実施例7）上記各実施例ではスルーホ
ールにペーストを充填して基板と一体にバンプを形成した
が、スルーホールに充填するペーストの熱伝導性を利用
して効率的な熱放散を可能にするサーマルビア付きのIC
パッケージを形成することが可能である。良好な熱伝
導性を有する導電性ペーストとしては、銅、銀等の金属
粉を含有するペーストが使用できる。

【0051】図21は熱伝導性の良好な導電性ペースト
60を使用して形成したICパッケージをマザーボード
に搭載した例を示す。ICパッケージは接続端子として
の半球形バンプ60aとICチップ34の搭載穴の下面
に設けたサーマルビア62を有する。サーマルビア62
は上記各実施例で説明したと同様に、接続端子としての
半球形バンプを形成した場合と同様な方法で形成する。
すなわち、接続端子形成用のスルーホールの他にICチ
ップ搭載部にサーマルビア形成用のスルーホールを設け
ておき、これらのスルーホールに導電性ペースト60を
充填してバンプ形成する。その後、基板10の上面をざ
ぐり加工して搭載穴を形成することにより、ICチップ
34の搭載面にサーマルビア62の上端面を露出させる
ことができ、ICチップ34をサーマルビア62にじか
に接続することができる。

【0052】図21で64はマザーボードの絶縁層、6
6は接続用パッド、68はプリプレグ、70はシールド
層、72はマザーボードの熱伝導層である。ICパッケー
ジは半球形バンプ60aが接続用パッド66に接続さ
れ、サーマルビア62がマザーボードの熱伝導層72に
接続される。これによって、ICパッケージとマザーボ
ードが電氣的に接続されるとともに、サーマルビア62
を介してICチップ34からの熱放散が効率的になされ
る。本実施例のICパッケージに設けたサーマルビア6
2はICチップ34にじかに接続されるから、ICチッ
プ34から効率的に熱放散させることが可能になる。本
方法によるサーマルビアを有するICパッケージの製造
方法は接続端子と同時にサーマルビアも形成できる点で
きわめて有効な方法である。

【0053】なお、上記方法とは別の方法として、接続
端子とサーマルビアとを別工程で形成することももちろ
ん可能である。すなわち、多層積層する際のプリプレグ
を用いてサーマルビアを形成しておき、後工程で上記方
法にしたがってバンプ形成することによって接続端子を
形成するようにしてもよい。このように、ICチップ搭
載範囲に設けるサーマルビアと接続端子を形成するバン
プ部分の材質が必ずしも同じものとは限らない。

【0054】図22および図23は半球形バンプを有す

る IC パッケージを実装する際における接続部の様子を
示す説明図で、プリント基板 74 にハンダ 76 で IC パ
ッケージを実装した様子を示す。78 はプリント基板 7
4 の表面に設けたハンダ付け用パッドである。図 22 は
ハンダ 76 の量が少ない場合、図 23 はハンダ 76 の量
が多い場合である。半球形バンパはその頂点面でハンダ
付け用パッド 78 に当接し、その当接部位の周囲にメニ
スカス状にハンダ 76 が付着する。このように接続端子
が半球形になっていると半球形バンパの当接部位に外側
からハンダ 76 が引きよせられ、ハンダ 76 が外側に流
れ出ることを防止する。これによってハンダ量の変動し
ても確実な接続を行うことが可能になる。

【0055】実際に半球形バンパを多数個形成した IC
パッケージをプリント基板に接合して個々の半球形バン
パとプリント基板のハンダ付け用パッドとの接合の様子
を X 線装置により観察したところ、セルフアライメント
の作用によって半球形バンパとハンダ付け用パッドとの
位置が一致するとともに、パッドと半球形バンパとの当
接部位にハンダが引きよせられて確実に接合されている
ことを確認した。

【0056】図 24 および図 25 は半球形バンパと配線
パターンとが位置ずれした場合の接続の様子を示す。図
25 は比較として平形のバンパを有する IC パッケージ
の場合を示す。図 25 に示すように平形のバンパを有す
る IC パッケージの場合は、ハンダ付け用パッド 78 と
バンパが位置ずれするとハンダ付け用パッド 78 の外側
にまでハンダ 76 がはみ出し、バンパの端面と実装基板
面とが接近して隣接するパッド 78 との間で電氣的短絡
が生じやすくなる。これに対して、半球形バンパの場合
は図 24 に示すようにバンパの外面と実装基板面とは離
れているからハンダ付け用パッド 76 の外側にハンダ 7
6 が流れ出ることを防止し、これによって電氣的短絡を
防止することができる。このように、半球形バンパを使
用した場合はパターン間の電氣的短絡を防止して好適な
接続を行うことができ、接続端子を高密度に形成するこ
とが可能となって好適に多ピン化に対応することが可能
になる。

【0057】

【発明の効果】本発明に係る IC パッケージは、上述し
たように、基板とバンパとが一体的に形成されることか
ら IC パッケージのハンドリング時にバンパが欠落した
りすることを防止でき、またバンパが半球形に形成され
ることによって実装基板に確実に実装させることができ
る製品として提供することができる。また、本発明に係
る IC パッケージの製造方法によれば、基板に設けたス
ルーホール形成用の孔内にペーストを充填することによ
り接続端子として半球形のバンパを形成するから、基板
とバンパとを確実に一体化させて形成することができ
る。また、接続端子として一定の保形性を有するバンパ
として形成することができる等の著効を奏する。

【図面の簡単な説明】

【図 1】 IC パッケージの製造方法の実施例において、
基板にスルーホール形成用の孔を形成した状態の断面
図である。

【図 2】 スルーホールめっきを施した状態の断面図であ
る。

【図 3】 基板にランドを形成した状態の断面図である。

【図 4】 スルーホールに導電性ペーストを充填した状態
の断面図である。

【図 5】 バンパおよびめっき層に電解めっきを施した状
態の断面図である。

【図 6】 配線パターンを形成し、保護めっきを施した状
態の断面図である。

【図 7】 IC パッケージの側断面図である。

【図 8】 IC パッケージの底面図である。

【図 9】 IC パッケージに IC チップを搭載した状態の
断面図である。

【図 10】 半球形バンパの他の形成例を示す断面図であ
る。

【図 11】 IC パッケージの製造方法の第 2 実施例にお
いて、スルーホールめっきを施した状態の断面図であ
る。

【図 12】 両面エッチングによって配線パターンおよび
ランドを形成した状態の断面図である。

【図 13】 バンパを形成した状態の断面図である。

【図 14】 バンパ表面およびめっき層に無電解銅めっき
を施した状態の断面図である。

【図 15】 IC パッケージの製造方法の第 4 実施例にお
いて、ランドを形成した状態の断面図である。

【図 16】 バンパを形成した状態の断面図である。

【図 17】 銅めっき層を設けた状態の断面図である。

【図 18】 配線パターンを形成した状態の断面図であ
る。

【図 19】 IC パッケージの製造方法の第 6 実施例で得
られる IC パッケージの断面図である。

【図 20】 IC パッケージの製造方法の第 7 実施例で得
られる IC パッケージの断面図である。

【図 21】 IC パッケージをマザーボードに搭載した状
態を示す説明図である。

【図 22】 半球形バンパと配線パターンとの接続の様子
を示す説明図である。

【図 23】 半球形バンパと配線パターンとの接続の様子
を示す説明図である。

【図 24】 半球形バンパと配線パターンが位置ずれして
いる状態での接続の様子を示す説明図である。

【図 25】 平形バンパと配線パターンとが位置ずれして
いる状態での接続の様子を示す説明図である。

【符号の説明】

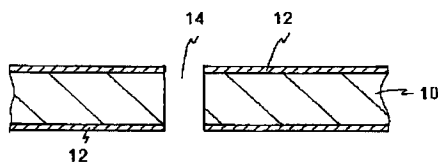
10 基板

14 スルーホール形成用の孔

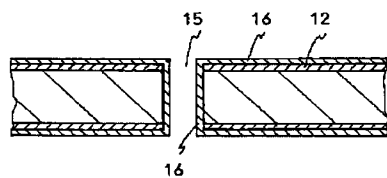
15 スルーホール
 16 めっき層
 18 ランド
 20 導電性ペースト
 20a 半球部
 22 銅めっき層
 24 配線パターン
 26 保護めっき
 30 半球形バンブ
 32 搭載穴
 34 ICチップ
 35 内層配線パターン
 37 サーマルビア

* 40 配線パターン
 42 ランド
 44 樹脂ペースト
 44a 半球部
 46 銅めっき層
 50 導電性ペースト
 52 配線パターン
 60 導電性ペースト
 60a 半球形バンブ
 10 62 サーマルビア
 74 プリント基板
 76 ハンダ
 * 78 ハンダ付け用パッド

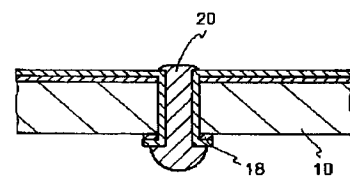
【図 1】



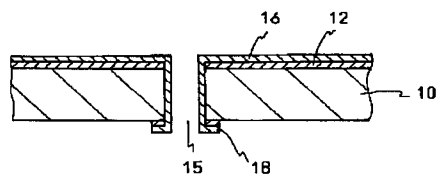
【図 2】



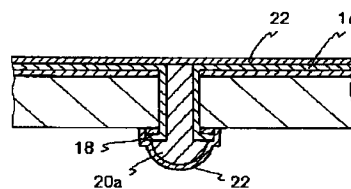
【図 4】



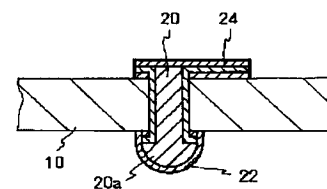
【図 3】



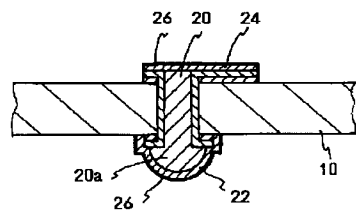
【図 5】



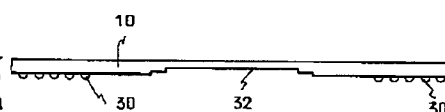
【図 10】



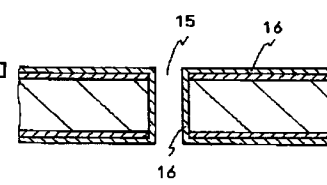
【図 6】



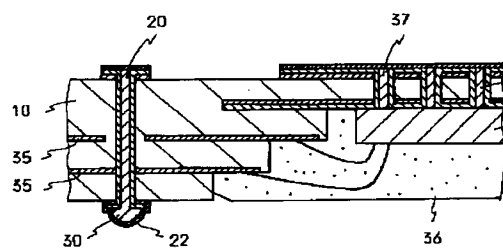
【図 7】



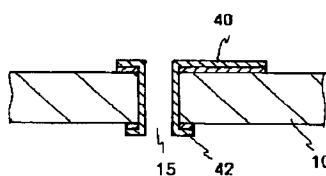
【図 11】



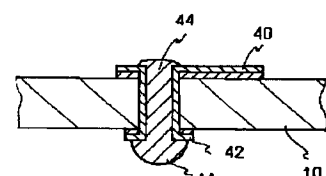
【図 9】



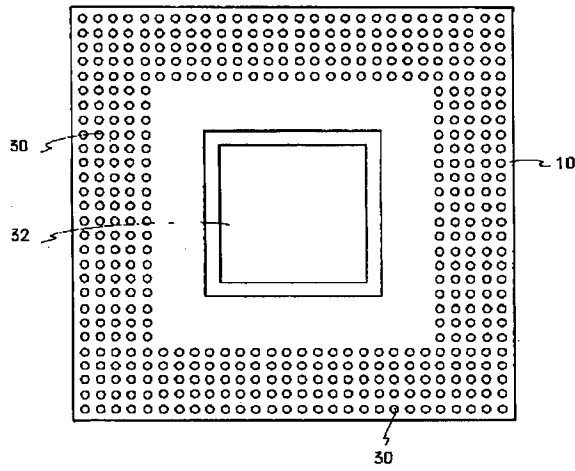
【図 12】



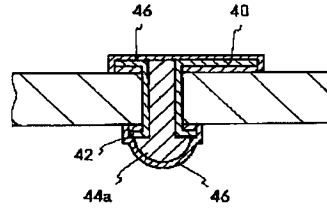
【図 13】



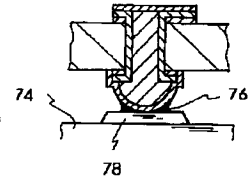
【図 8】



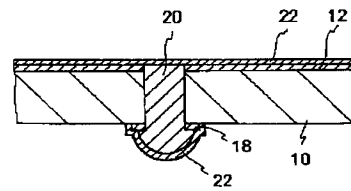
【図 14】



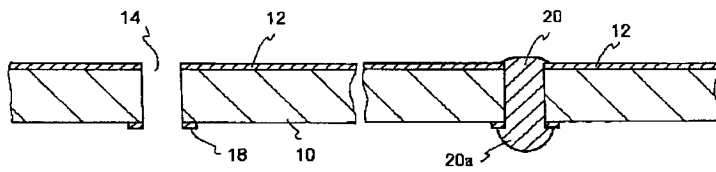
【図 22】



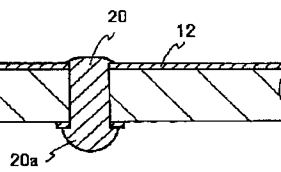
【図 17】



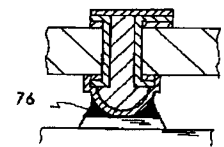
【図 15】



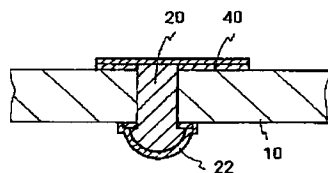
【図 16】



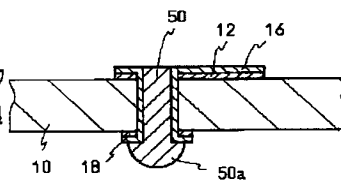
【図 23】



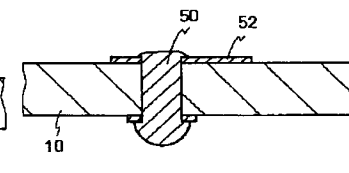
【図 18】



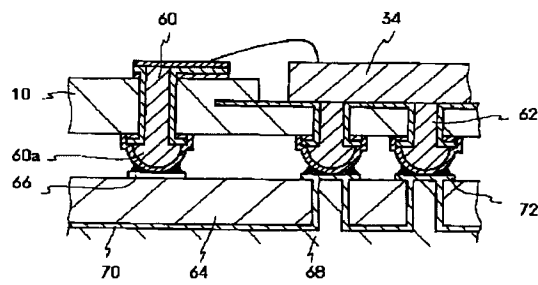
【図 19】



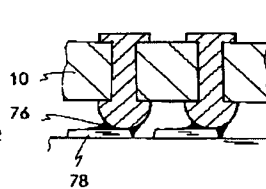
【図 20】



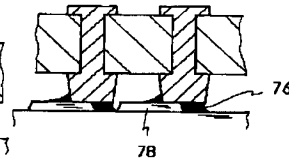
【図 21】



【図 24】



【図 25】



フロントページの続き

(51) Int. Cl.⁶
H 0 5 K 3/46

識別記号 庁内整理番号 F I
Q 6921-4 E

技術表示箇所